

Etude d'un additionneur

L'algorithme de l'addition en binaire est le même qu'en décimal.

En décimal :

$$\begin{array}{r}
 1 \quad 1 \\
 5654 \text{ (A)} \\
 + 2673 \text{ (B)} \\
 \hline
 83\textcircled{2}7
 \end{array}$$

Exemple : la somme $5 + 7 = 12$,
 Chiffre des unités = résultat = 2 ,
 Chiffre des dizaines = retenue = 1 et
 vient s'ajouter aux chiffre de rang
 immédiatement supérieur

On commence par faire la somme entre les chiffres des unités (poids faibles en binaire).

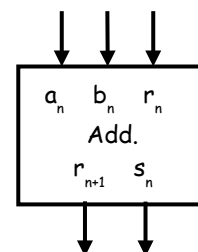
Si il existe un symbole de la base dont la valeur est égale à cette somme, il correspond au chiffre du résultat (ex : $4+3=7$)

Si la somme est strictement supérieure à 9, (elle restera forcément inférieure ou égale à 19), alors le chiffre résultat correspond à l'unité de cette somme et le chiffre des dizaine (forcément égal à 1) vient s'ajouter aux chiffres de rang immédiatement supérieur et s'appelle « retenue ».

En binaire le principe est le même :

En binaire :

$$\begin{array}{r}
 1 \quad 1 \\
 0111 \text{ (A)} \\
 + 0110 \text{ (B)} \\
 \hline
 1101
 \end{array}$$

Cellule de base :

Un additionneur, n bits, peut être réalisé en cascasant n cellules de base.

Chaque cellule génère le bit résultat « s_n » et le bit retenue « r_{n+1} », à partir des trois bits d'entrée :

a_n (bit de rang n du nombre A)

b_n (bit de rang n du nombre B)

r_n (retenue générée par la cellule de rang n-1)

1/ Etablir le schéma interne de la cellule de base d'un additionneur

Pour cela réaliser les étapes suivantes :

- a/ écrire la table de vérité de la cellule de base
- b/ en déduire pour chaque sortie une équation non simplifiée
- c/ simplifier chaque équation en utilisant les propriétés des opérateurs logiques
- d/ remplir des tableaux de Karnaugh pour chaque sortie
- e/ en extraire directement les équations simplifiées
- f/ faire le schéma de la cellule de base

- 2/ Ecrire la description VHDL de la cellule de base en n'utilisant que des affectations simples
- 3/ Ecrire la description VHDL de la cellule de base en utilisant :
une affectation conditionnelle « **when ... else ...** » pour le bit de somme
et une affectation sélective « **with ... select ...** » pour le bit de retenue.
- 4/ Ecrire la description VHDL de la cellule de base en n'utilisant qu'une seule **affectation** (conditionnelle ou sélective).
- 5/ Etablir le schéma d'un additionneur 4 bits à l'aide de 4 cellules de base en cascade.

