

# Composants Programmables



**PAL**

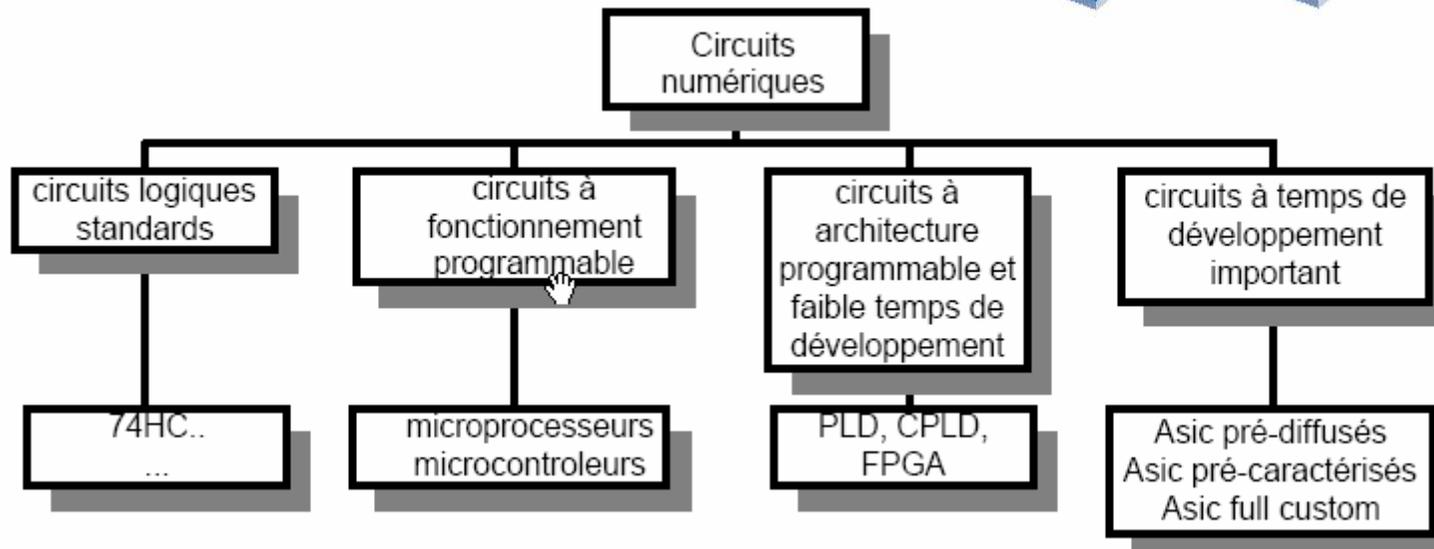
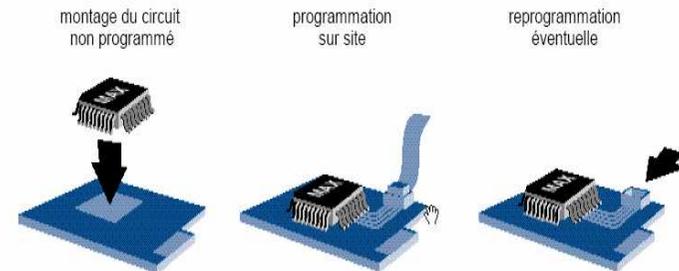
**CPLD**

**FPGA**

# Présentation

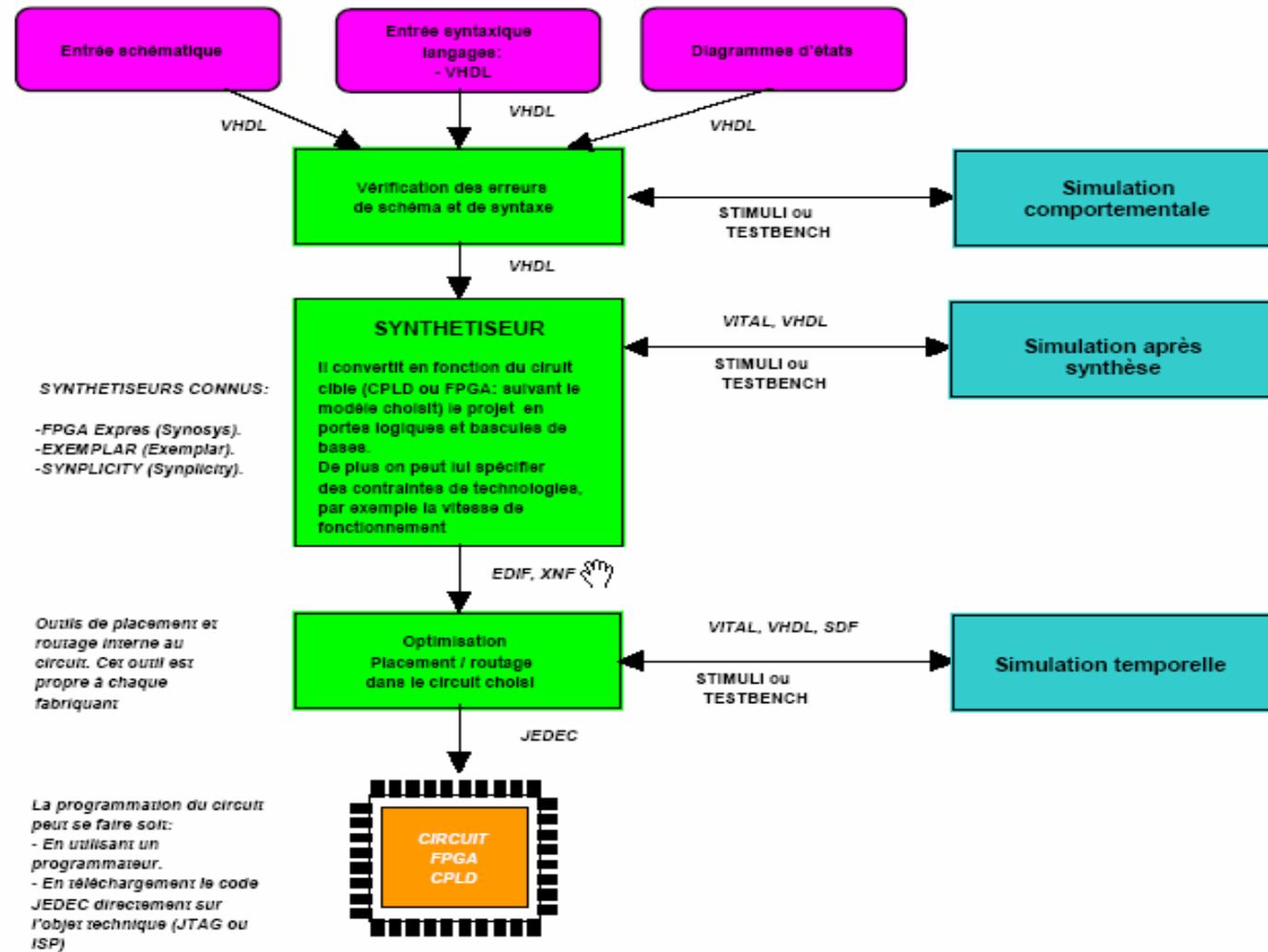
## ■ Electronique reprogrammable

- Apparition des premiers circuits vers les années 70: premiers PLD-> PAL, GAL
- Evolution vers composants plus complexes: CPLD, FPGA
- Différentes technologies pour la programmation des connexions
  - ✓ Permanents , Volatiles statiques, Volatiles
  - ✓ Capacité de programmation In-Situ
    - composants dits ISP via interface JTAG
- Contexte de compétitivité mondiale
  - ✓ Importance du *Time-To-Market*



# Présentation

## Flot de développement



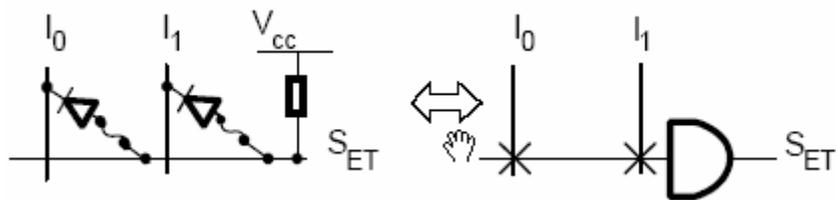
# Connexions programmables

## Introduction

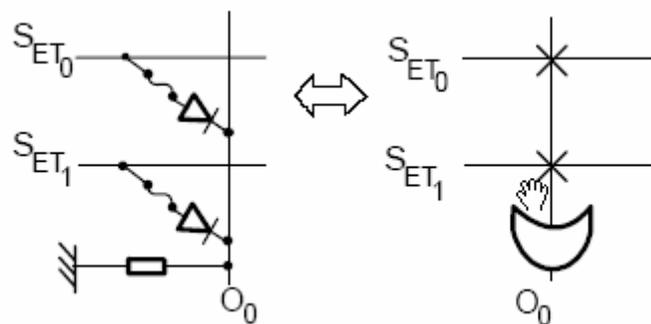
- Deux formes canoniques pour les équations logiques
  - ✓ Somme de produits  $S = a.b + c.d$
  - ✓ Produits de somme  $S = (z+f).(e+x)$

## Connexions programmables

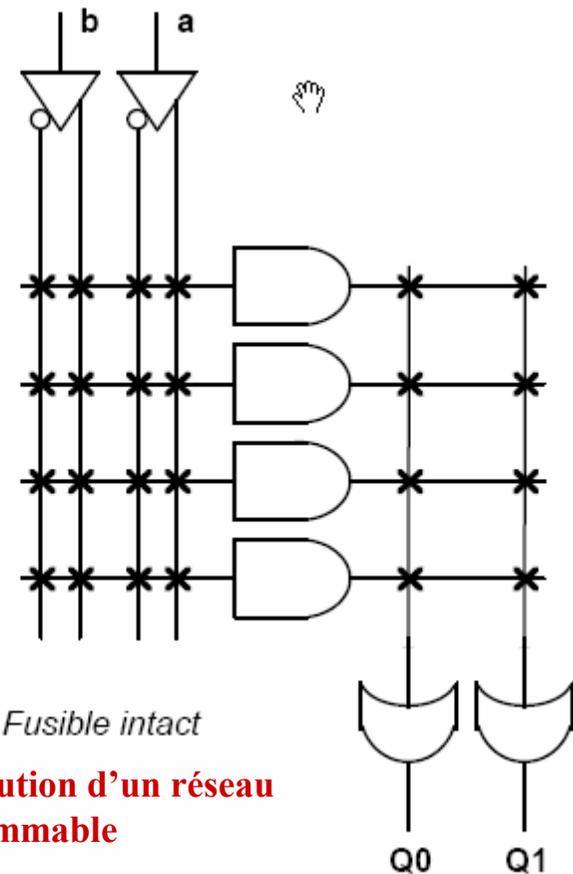
**ET câblé**



**OU câblé**



Représentation standard



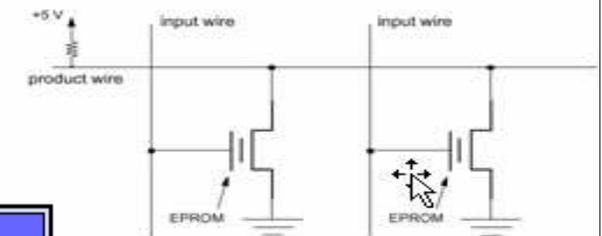
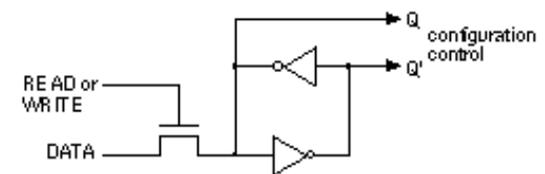
**Constitution d'un réseau programmable**

# Connexions programmables

## Technologie des connexions

- Composants OTP (One Shot Programming)
  - ✓ Programmable une fois
  - ✓ Techno Fusible ou Anti-Fusible
  
- Composants reprogrammables
  - ✓ SRAM: utilisation de 6 transistors MOS pour mémoriser la connexion
    - Configuration volatile: utilisation d'une mémoire externe pour charger à chaque mise sous tension le composant cible
  - ✓ EEPROM: même principe avec 2 transistors
    - Utilisation d'un programmeur ( programmation: 12V typique)
  - ✓ FLASH EEPROM: programmable In-Situ (interface JTAG)

Lignes métalliques :  
interconnexions



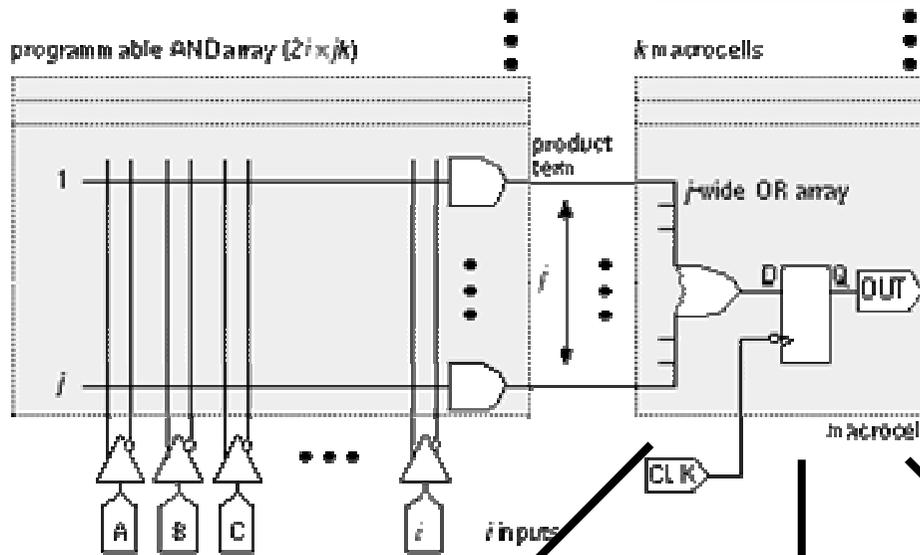
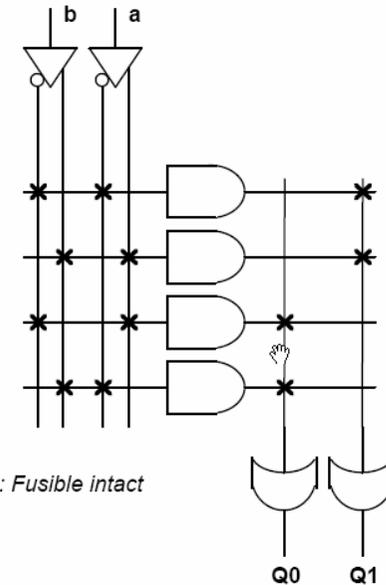
Résumé des différentes technologies			
Nom:	Reprogrammable:	Volatile:	Technologie:
Fuse	Non	Non	Bipolaire
EPROM	Oui, en dehors du circuit	Non	UVCMOS
EEPROM	Oui, dans le circuit	Non	EECMOS
SRAM	Oui, dans le circuit	Oui	CMOS
Antifuse	Non	Non	CMOS

# xPLD

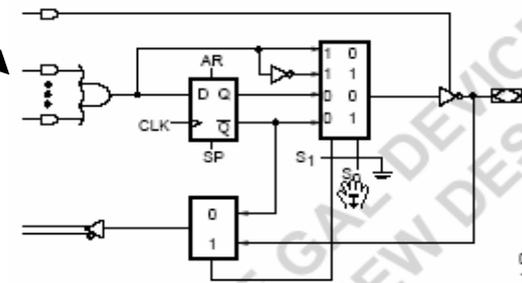
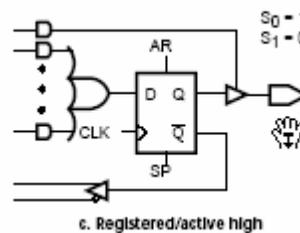
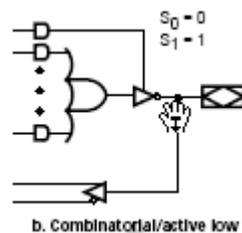
## Simple Programme Logic Device

- Composants simples
  - réseau ET/OU programmable ou fixe
  - PAL (OTP en général), GAL reprogrammable

$$Q0 = a.\bar{b} + \bar{a}.b \text{ et } Q1 = \bar{a}.\bar{b} + a.b$$



*Différentes familles en fonction des ressources rajoutés par le constructeurs*



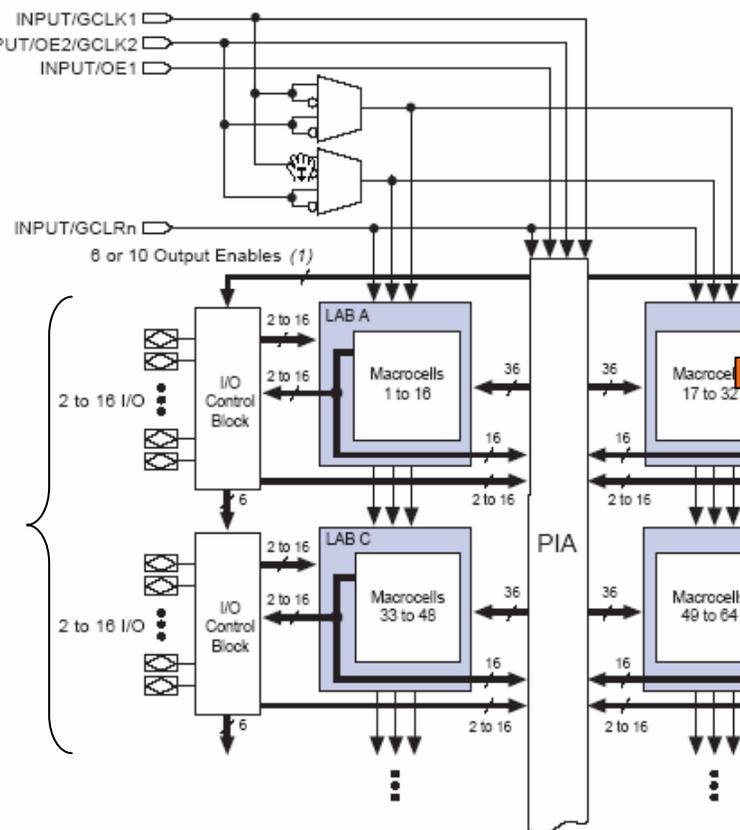
# xPLD

## Complex PLD

- Complexité plus grande que les SPLD
- Notion de CLB (Complex Logic Block) ou MacroCell
- Réseau de connexion centralisé entre les différentes CLB implémenté sur la cible

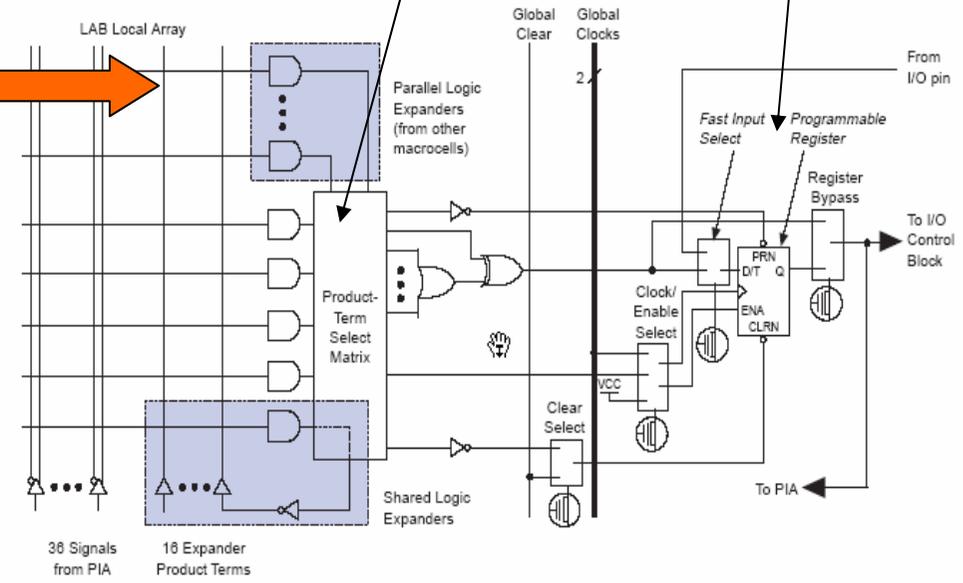
HORLOGES  
utilisateur

RESET  
utilisateur



E/S utilisateur

Figure 2. MAX 7000A Macrocell



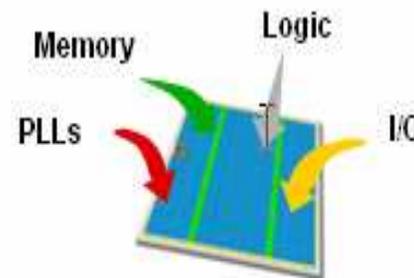
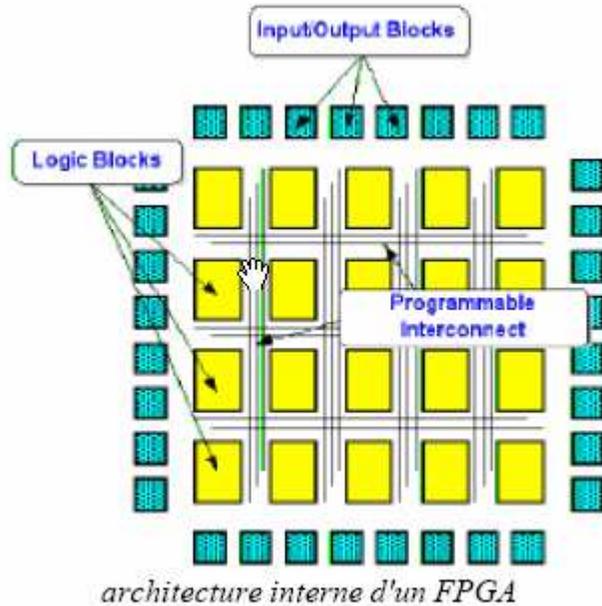
Somme de produit = votre equation logique (table de vérité)

Bascule pour le séquentiel avec rebouclage interne

# FPGA

## Field Programmable Grid Array

- Granularité plus fine que les CPLD ( macrocellules - complexes mais + nombreuses)
- Intégration matérielle de composants supplémentaires
  - ✓ RAM: appelé LUT (Look-Up Table)
  - ✓ Multiplexeurs divers
  - ✓ PLL
  - ✓ Multiplieurs câblés (FPGA haut de gamme => concurrence avec les DSP)
- Réseau de routage réparti ( non centralisé contrairement aux CPLD)

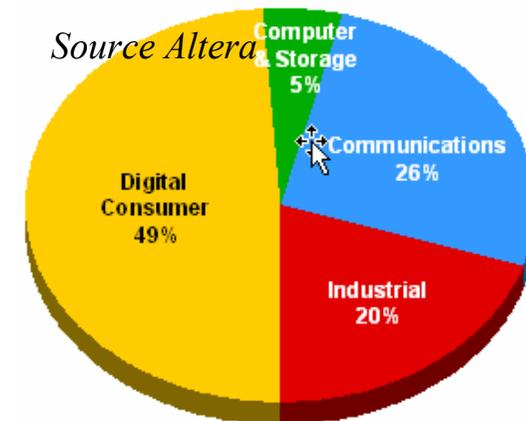


*Exemple de référence*

Famille **Cyclone** (FPGA Low Cost d'ALTERA)

Concurrent: **Spartan3** (chez Xilinx)

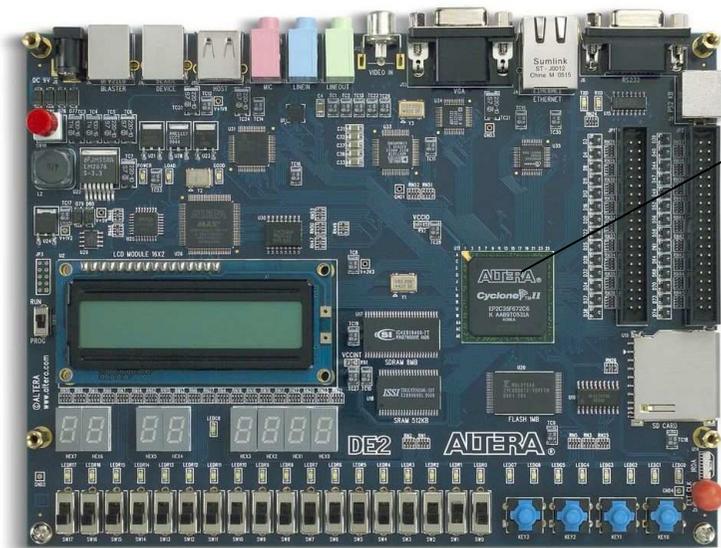
*Répartition des applications*



**Cyclone FPGAs**  
2004

# FPGA

## La carte DE2 (utilisé en TP)



### Specifications

#### FPGA

- Cyclone II EP2C35F672C6 FPGA and EPCS16 serial configuration device

#### I/O Devices

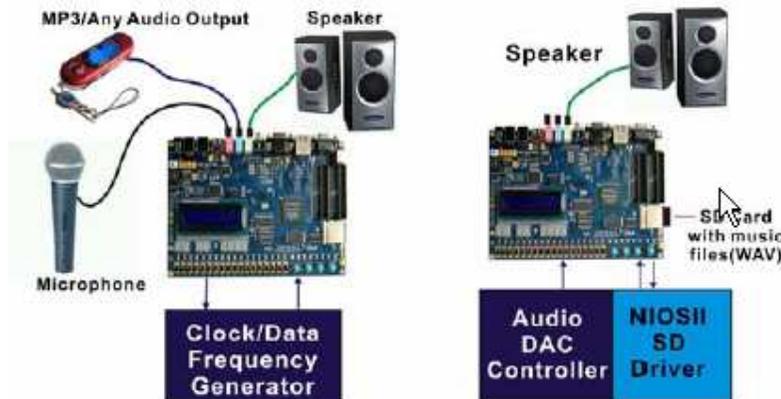
- Built-in USB Blaster for FPGA configuration
- 10/100 Ethernet, RS-232, Infrared port
- Video Out (VGA 10-bit DAC)
- Video In (NTSC/PAL/Multi-format)
- USB 2.0 (type A and type B)
- PS/2 mouse or keyboard port
- Line-in, Line-out, microphone-in (24-bit audio CODEC)
- Expansion headers (76 signal pins)

#### Memory

- 8-MB SDRAM, 512-KB SRAM, 4-MB Flash
- SD memory card slot

#### Switches, LEDs, Displays, and Clocks

- 18 toggle switches
- 4 debounced pushbutton switches
- 18 red LEDs, 9 green LEDs
- Eight 7-segment displays
- 16 x 2 LCD display
- 27-MHz and 50-MHz oscillators, external SMA clock input

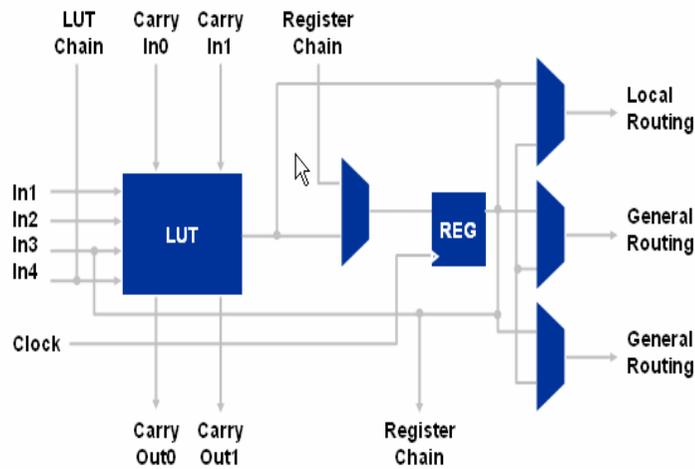


# FPGA

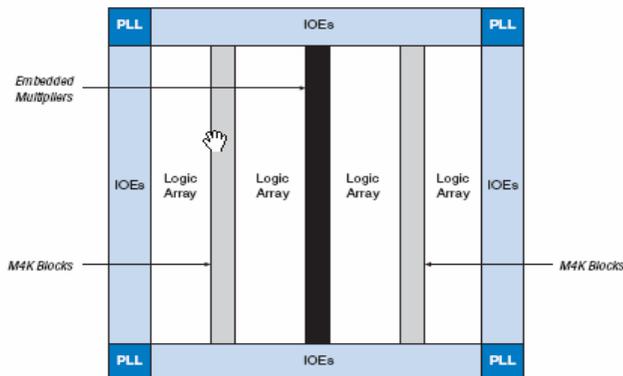
## Les composants cyclone 2 d'ALTERA

- Ressources embarquées

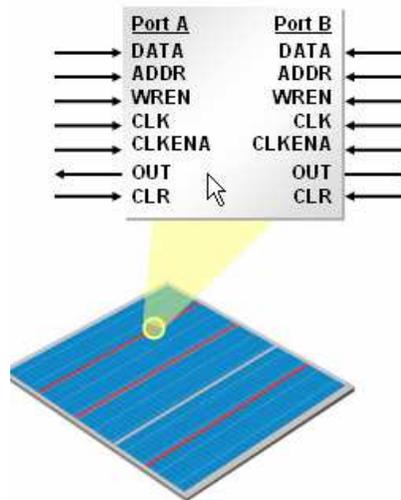
### ✓ Les macrocellules



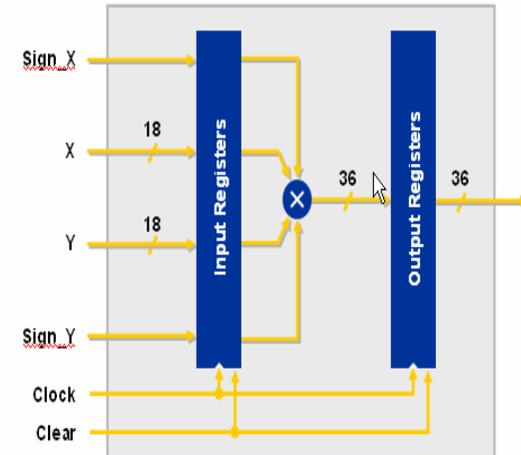
### ✓ Des PLL



### ✓ Mémoire dual-port SRAM 4kbits



### ✓ Multiplieurs câblés



### ✓ Des I/O Blocks

Interface dédié DDR RAM par exemple

### Remarque



Les ressources incluses sur la puce sont importantes pour le concepteur

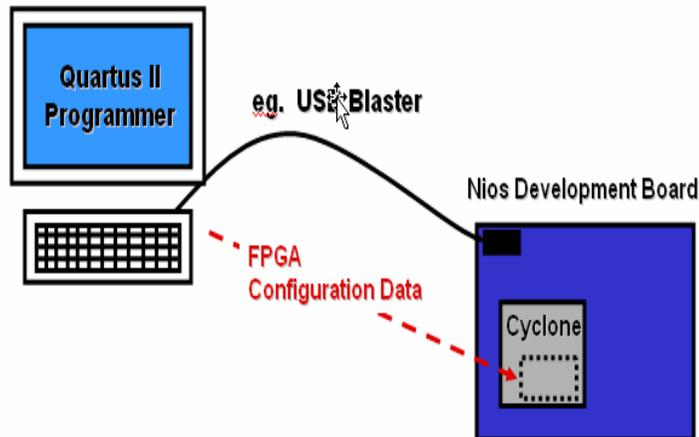
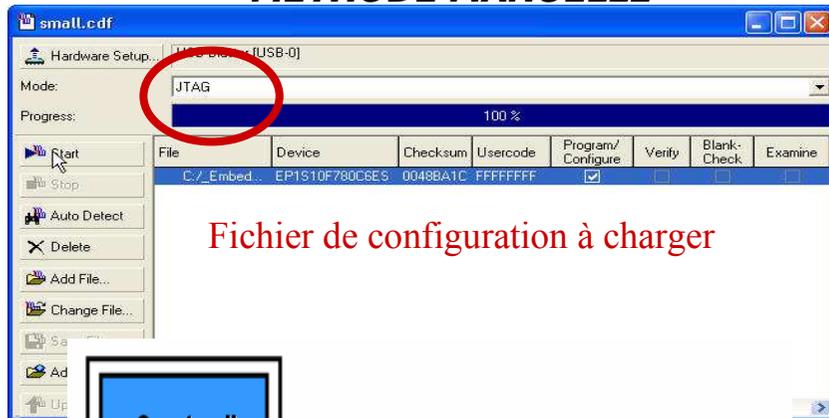
Inutile de synthétiser une bascule D LATCH (fonctionnement sur niveau et non pas sur front) si le composant n'en dispose pas!!!!

# FPGA

## Configuration d'un FPGA

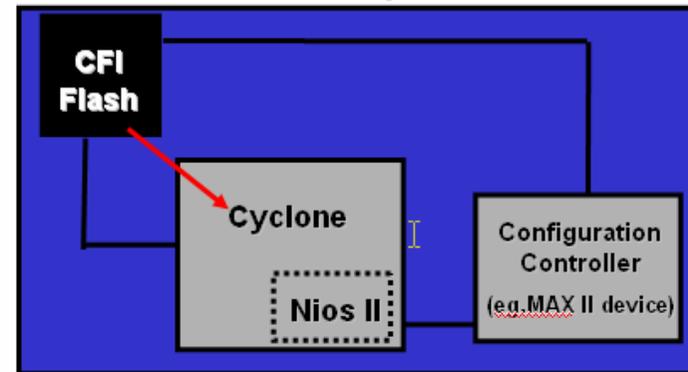
- Si technologie SRAM alors configuration VOLATILE
  - ✓ => A chaque mise sous tension REPROGRAMMATION

### METHODE MANUELLE



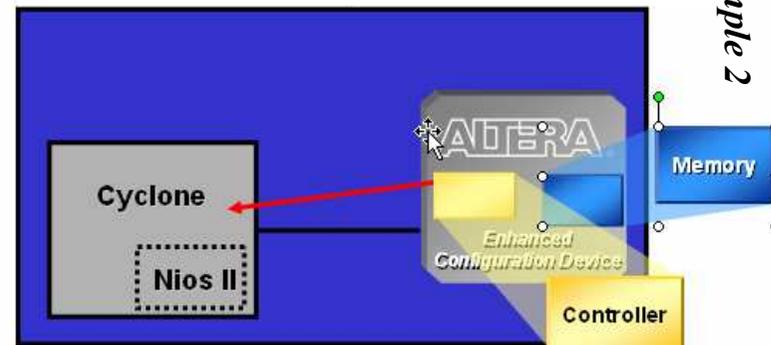
### METHODE AUTOMATIQUE

Image dans une compact Flash



Exemple 1

Image dans une mémoire série EXTERNE



Exemple 2